



PATENT ABSTRACTS OF JAPAN

64

(2)

(11) Publication number: **01038674 A**

(43) Date of publication of application: 08 . 02 . 89

(51) Int. Cl

G01R 31/28
H01L 21/66
(21) Application number: **62196107**(22) Date of filing: **04 . 08 . 87**(71) Applicant: **NEC IC MICROCOMPUT SYST LTD**(72) Inventor: **KITAMURA KOICHI**

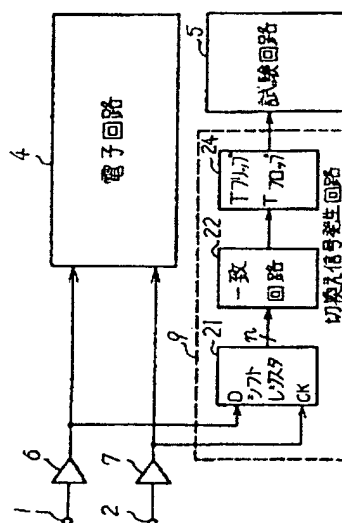
(54) SEMICONDUCTOR INTEGRATED CIRCUIT

(57) Abstract:

PURPOSE: To obtain an integrated circuit unnecessary for adding a signal input terminal separately in order to be changed over to a test circuit, by generating the change-over signal of the test circuit in a semiconductor integrated circuit.

CONSTITUTION: The inputs from signal input terminals 1, 2 are inputted to an electronic circuit 4 through buffers 6, 7. Data is inputted to the D-terminal of a shift register 21 from the input terminal 1 through the buffer 6 and a clock signal is inputted to the CK terminal of the shift register 21 from the signal input terminal 2 through the buffer 7. The latch output of the shift register 21 is supplied to a coincidence circuit 22 which in turn compares a preset reference value with the output value from the shift register 21 and, when both of them coincide with each other, a coincidence signal is outputted. A T flip-flop 24 outputs a change-over signal when the coincidence signal is supplied to a T-terminal and a test circuit 5 is changed over to a testing state.

COPYRIGHT: (C)1989,JPO&Japio



⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭64-38674

⑬ Int.Cl.

識別記号

庁内整理番号

⑭ 公開 昭和64年(1989)2月8日

G 01 R 31/28
H 01 L 21/66W-6912-2G
Z-6851-5F

審査請求 未請求 発明の数 1 (全3頁)

⑮ 発明の名称 半導体集積回路

⑯ 特 願 昭62-196107

⑰ 出 願 昭62(1987)8月4日

⑱ 発 明 者 北 村 公 一 東京都港区芝5丁目7番15号 日本電気アイシーマイコン
システム株式会社内⑲ 出 願 人 日本電気アイシーマイ 東京都港区芝5丁目7番15号
コンシステム株式会社

⑳ 代 理 人 弁理士 内 原 晋

明 細 書

発明の名称

半導体集積回路

特許請求の範囲

少くとも2個の信号入力端子を有する電子回路と該電子回路の試験回路とを備える半導体集積回路において、一方の前記信号入力端子から入力されるデータを他方の前記信号入力端子から入力されるクロック信号でラッチしたときの値が予め設定する少くとも1個の基準値と一致したとき前記試験回路を切換える切換え信号を出力する切換え信号発生回路を有することを特徴とする半導体集積回路。

発明の詳細な説明

〔産業上の利用分野〕

本発明は半導体集積回路に関し、特に試験回路を内蔵する半導体集積回路に関する。

〔従来の技術〕

従来、この種の半導体集積回路は、試験状態への切換えを別の制御信号入力端子から与えるようになっていた。

第3図は従来の半導体集積回路の一例のブロック図である。

第3図に示すように、試験回路5には制御信号端子3からバッファ8を介して切換え信号が供給され、電子回路4が試験回路5により試験状態へ移行していた。

〔発明が解決しようとする問題点〕

上述した従来の半導体集積回路は、試験回路へ外部から直接切換え信号を与えなければならないので、信号入力端子を追加しなければならないという欠点がある。

本発明の目的は、試験回路への切換えのために別に信号入力端子を付加する必要がない半導体集積回路を提供することにある。

〔問題点を解決するための手段〕

本発明の半導体集積回路は、少くとも2個の信

号入力端子を有する電子回路と該電子回路の試験回路とを備える半導体集積回路において、一方の前記信号入力端子から入力されるデータを他方の前記信号入力端子から入力されるクロック信号でラッチしたときの値が予め設定する少くとも1個の基準値と一致したとき前記試験回路を切換える切換え信号を出力する切換え信号発生回路を有している。

〔実施例〕

次に、本発明について図面を参照して説明する。

第1図は本発明の第1の実施例のブロック図である。

第1図に示すように、信号入力端子1、2と、信号入力端子1、2からの入力をバッファ6、7を介して入力する電子回路4と、信号入力端子1、2からの入力をバッファ6、7を介して入力して切換え信号を出力するシフトレジスタ21、一致回路22及びTフリップフロップ24を備える切換え信号発生回路9と、試験回路5とを含む。

- 3 -

一致回路22、23とRSフリップフロップ25とを備える。

それぞれの一致回路22、23には異なる値の基準値が設定されていて、シフトレジスタ21からの出力値と一致がとれたとき出力される一致回路22と23との出力でRSフリップフロップ25のセット及びリセットを行い切換え信号を出力する。

第2の実施例では、上述した第1の実施例に比べ素子数は増加するが、切換え信号の状態を常に知ることができる利点がある。

〔発明の効果〕

以上説明したように本発明は、半導体集積回路内部で試験回路の切換え信号を発生させることにより、別に入力端子を付加することなく試験回路の切換えができるので、半導体集積回路の集積度を向上できるという効果がある。

図面の簡単な説明

第1図は本発明の第1の実施例のブロック図、

- 5 -

む。

第1図において、信号入力端子1からバッファ6を介してデータをシフトレジスタ21のD端子に入力し、信号入力端子2からバッファ7を介してクロック信号をシフトレジスタ21のCK端子に入力する。

シフトレジスタ21のラッチ出力は一致回路22に供給され、一致回路22は予め設定する基準値とシフトレジスタ21からの出力値とを比較し、両者が一致したとき一致信号を出力する。

TフリップフロップはT端子に一致信号が供給されたとき切換え信号を出力し、試験回路5が試験状態に切換えられる。

ただし、信号入力端子1、2には電子回路4の動作中に切換え信号発生回路9が動作する信号が入力しないものを選定する。

第2図は本発明の第2の実施例の切換え信号発生回路のブロック図である。

第2図に示すように、第2の実施例の切換え信号発生回路9はシフトレジスタ21と2個の

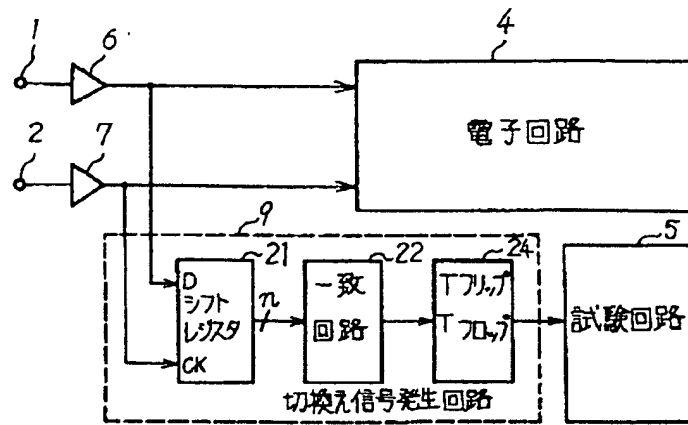
- 4 -

第2図は本発明の第2の実施例の切換え信号発生回路のブロック図、第3図は従来の半導体集積回路の一例のブロック図である。

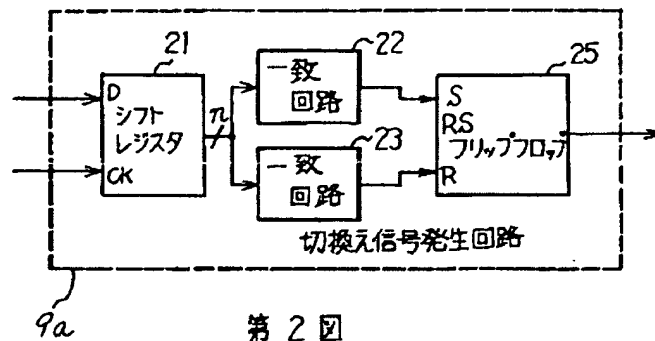
1、2…信号入力端子、3…制御信号入力端子、4…電子回路、5…試験回路、6、7、8…バッファ、9、9…切換え信号発生回路、21…シフトレジスタ、22、23…一致回路、24…Tフリップフロップ、25…RSフリップフロップ。

代理人 弁理士 内 原 晋

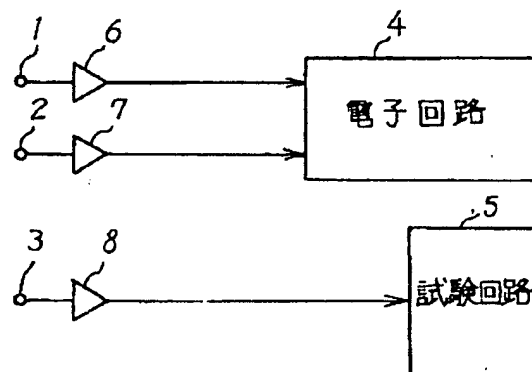
- 6 -



1, 2 信号入力端子、6, 7 バッファ、
第1図



第2図



第3図